

CLIPPEDIMAGE= JP356115548A
PAT-NO: JP356115548A
DOCUMENT-IDENTIFIER: JP 56115548 A
TITLE: ISOLATING METHOD OF SEMICONDUCTOR WAFER

PUBN-DATE: September 10, 1981

INVENTOR-INFORMATION:

NAME

TAKEHARA, KATSUNAO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

mitsubishi electric corp

N/A

APPL-NO: JP55019433

APPL-DATE: February 19, 1980

INT-CL_(IPC): H01L021/78

US-CL-CURRENT: 438/464

ABSTRACT:

PURPOSE: To prevent the damage of a groove cutter and to eliminate the improper connection of chips by forming a low melting point metallic layer on the back surface of a semiconductor wafer, forming a cutting groove from the surface side to the middle of the metallic layer and melting partly the metallic layer, thereby isolating the chip.

CONSTITUTION: The metallic layer 3 is covered thickly on the back surface of the semiconductor wafer 1, a cutting groove 4 is formed from the surface of the silicon crystal part 2 to the middle of the layer 3 along the boundary of the respective semiconductor chips 7, and the respective chips are formed in the state of connecting with the residual part 8 of the metallic layer therebetween. Thereafter, the wafer is bonded fixedly to a flat plate 9, the metallic layer is locally heated partly to be molten, and the respective chips are isolated. The metallic layer may employ low melting point alloy such as lead-in alloy having a melting point of $240 \sim 350^{\circ}\text{C}$. Thus, it can prevent the improper connection of the chips and the damage of the groove cutter and improve the yield.

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—115548

⑤ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131—5F

⑬ 公開 昭和56年(1981)9月10日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体ウエハ分離方法

機株式会社北伊丹製作所内

⑯ 特 願 昭55—19433
⑰ 出 願 昭55(1980)2月19日
⑱ 発 明 者 竹原克尚
伊丹市瑞原4丁目1番地三菱電

⑲ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号
⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体ウエハ分離方法

2. 特許請求の範囲

(1) 半導体ウエハの裏面に低融点の金属層を形成し、上記半導体ウエハを個々の半導体チップに分離するに際して、上記半導体ウエハの表面から上記金属層の中間まで切溝を入れて、上記個々の半導体チップを上記金属層の切り残し部分で連なった状態に形成し、部分的に上記金属層を溶解させて上記個々の半導体チップを分離することを特徴とする半導体ウエハ分離方法。

3. 発明の詳細な説明

この発明は半導体ウエハを個々の半導体チップに分離する方法に関するものである。

従来、半導体ウエハ分離方法の1つとして、第1a図ないし第1c図に示すものがある。これを説明すると、第1a図において、(1)は半導体ウエハで、通常、シリコン結晶部(2)とその裏面の金属層(メタライズ層)(3)とでなる。まず、分離すべ

き個々の半導体チップの境界に沿って上記シリコン結晶部(2)の表面に切溝(4)が格子状に入れられる。しかるのち、第1b図のように、伸展性のあるシート(5)上に上記切溝(4)をもった半導体ウエハ(1)が接着固定され、続いて既知の方法により切溝(4)に沿って半導体ウエハ(1)の厚み全体にひび(6)が入れる。すなわち、半導体ウエハ(1)がシート(5)上で個々の半導体チップ(7)に分離される。ついで、個々の半導体チップ(7)をシート(5)から容易に剥離させる目的で、第1c図のように、シート(5)が四方へ均一に引き延ばされ、個々の半導体チップ(7)が隔離される。

また別の方法として、第2a図ないし第2c図に示すものがある。すなわち、第2a図のように半導体ウエハ(1)を伸展性のあるシート(5)上に接着固定し、続いて第2b図のように分離用の切溝(4)をシート(5)の途中まで入れ、個々の半導体チップ(7)を形成したのち、第2c図のように、シート(5)を引き延ばして個々の半導体チップ(7)を隔離させる方法である。

上述した第1a図ないし第1c図の分離方法にはつぎのような欠点がある。

(1) 半導体ウエハ(1)の厚みは直径が大きくなるにつれて増大する。しかし、半導体チップ(7)の幅は変わらないので、半導体ウエハ(1)の厚みが厚くなると、半導体チップ(7)の幅は高さに対して縮小される形となり、ひび(6)を正しく入れるのが困難である。すなわち、半導体チップ(7)が欠けやすく、歩留り低下の要因がある。

(2) 金属層(3)が厚い場合、シート(5)を引き延ばしても、金属層(3)が切断されず、半導体チップ(7)が連なつたままとなる。

(3) シート(5)を四方へ引き延ばすので、半導体ウエハ(1)の直径が大きくなつた場合、大きなスペースを必要とする。

また第2a図ないし第2c図の分離方法にはつぎのような欠点がある。

(1) 切溝(4)を柔らかいシート(5)の途中まで入れるので、切溝(4)を入れるときの半導体ウエハ(1)に対する固定が十分でなく、切溝用カッタに無理な力

ように、半導体ウエハ(1)を平らな分離用プレート(9)に接着固定する。しかるのち、第3c図のように金属層(3)を局部加熱により部分的に熔融し、個々の半導体チップ(7)を取り出す。熔融した金属層(3)の一部は半導体チップ(7)の裏面に残り、半導体チップ(7)を支持体(図示せず)のパッケージに接着するときのろう材となる。

なお金属層(3)は加熱熔融を容易にするため、融点が240～850℃程度のたとえば鉛錫合金のような低融点合金で構成される。

上記分離方法では、切溝(4)は金属層(3)の中間まで入れられるので、半導体チップ(7)に欠損部を生じることがなく、歩留りが向上する。また切溝(4)を入れるとき、金属層(3)で切溝力に強固に対抗するので、半導体チップ(7)が動いて切溝用カッタが破損することがない。また個々の半導体チップ(7)は金属層(3)を熔融させて分離するので、半導体チップ(7)の連なり不良がない。さらに上記分離に際し、個々の半導体チップ(7)、(7)間の間隔を広げる必要がないので、半導体ウエハ(1)の直径が大きい

が作用する。すなわち、切溝(4)は平面的にX方向とY方向とに入れられるので、最初のX方向への溝加工時にはさほどの問題はないが、X方向への溝加工後、Y方向への溝加工時、半導体チップ(7)が動き、切溝用カッタが破損することがある。

(2) 先に説明した分離方法での(3)と同様の欠点がある。

この発明は上記各欠点を解消して、切溝用カッタの破損および半導体チップの連なり不良を防止するとともに、小さなスペースで大径の半導体ウエハの分離を行ない、かつ歩留りを向上できる半導体ウエハ分離方法を提供することを目的とする。

以下、この発明の実施例を図面にもとづいて説明する。

まず第8a図のように、半導体ウエハ(1)の裏面の金属層(3)を厚く形成するものとして、個々の半導体チップ(7)の境界に沿つて、シリコン結晶部(2)の表面から金属層(3)の中間まで切溝(4)を入れ、個々の半導体チップ(7)を金属層(3)の切り残し部分(8)で連なつた状態のままとする。ついで第8b図の

場合でも、それを小さなスペースで分離することができる。

以上のように、この発明によれば、切溝用カッタの破損および半導体チップの連なり不良を防止するとともに、小さなスペースで大径の半導体ウエハの分離を行ない、かつ歩留りを向上できる半導体ウエハ分離方法が提供される。

4. 図面の簡単な説明

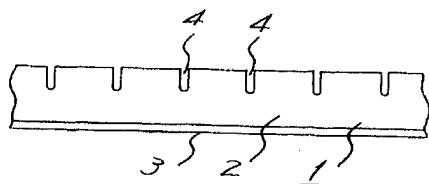
第1a図ないし第1c図、第2a図ないし第2c図は従来の半導体ウエハ分離方法の説明図、第8a図ないし第8c図はこの発明の実施例にかかる半導体ウエハ分離方法の説明図である。

(1)…半導体ウエハ、(3)…金属層、(4)…切溝、(7)…半導体チップ、(8)…切り残し部分。

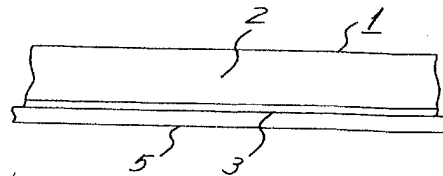
なお、図中、同一符号は同一または相当部分を示す。

代理人 島 野 信 一(外1名)

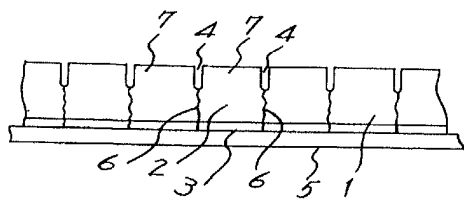
第1a図



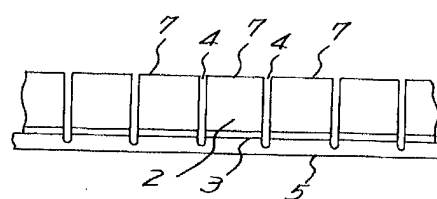
第2a図



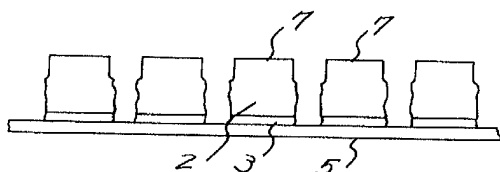
第1b図



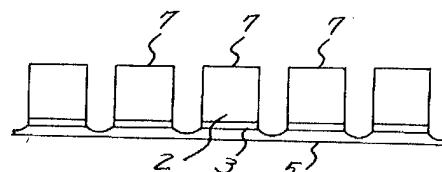
第2b図



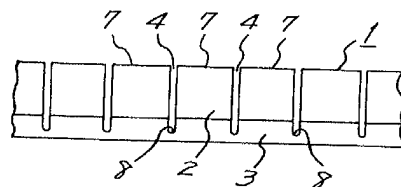
第1c図



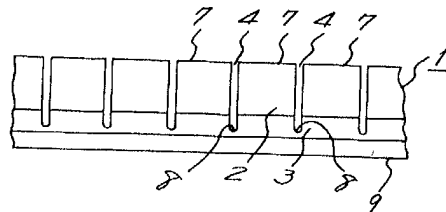
第2c図



第3a図



第3b図



第3c図

